

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-021597

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

H01L 21/78

(21)Application number : 03-173788

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 15.07.1991

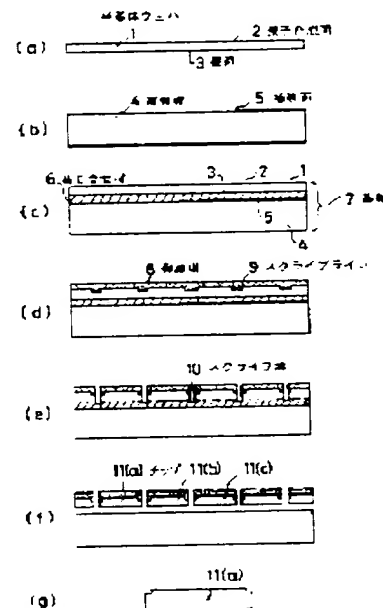
(72)Inventor : TOMINAGA YUKIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To unnecessitate a wafer grinding process and improve the strength of a wafer and a chip by forming a protective film on the wafer surface, performing scribing deep into the laminate material with a dicing blade, and dividing a chip by etching the laminate material.

CONSTITUTION: An element forming surface 2 is made a surface, and the rear 3 and a reinforcing surface 5 are laminated by using lamination material 6, e.g. a BPSG film easy to be etched. By using a substrate 7 formed in the above manner, an element forming treatment is performed, and the whole part of the element forming surface 2 is coated with an acid resistant protecting film 8, e.g. polyimide. Scribing depth takes a value larger than the thickness of the laminate material 8, which is etched and eliminated in etching liquid, e.g. HF liquid. Thereby a chip is divided into 11(a), 11(b), 11(c)...., and the chip rear also can be a structure free from a crushed layer caused by grinding.



LEGAL STATUS

[Date of request for examination]

02.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3212110

[Date of registration]

19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05021597
PUBLICATION DATE : 29-01-93

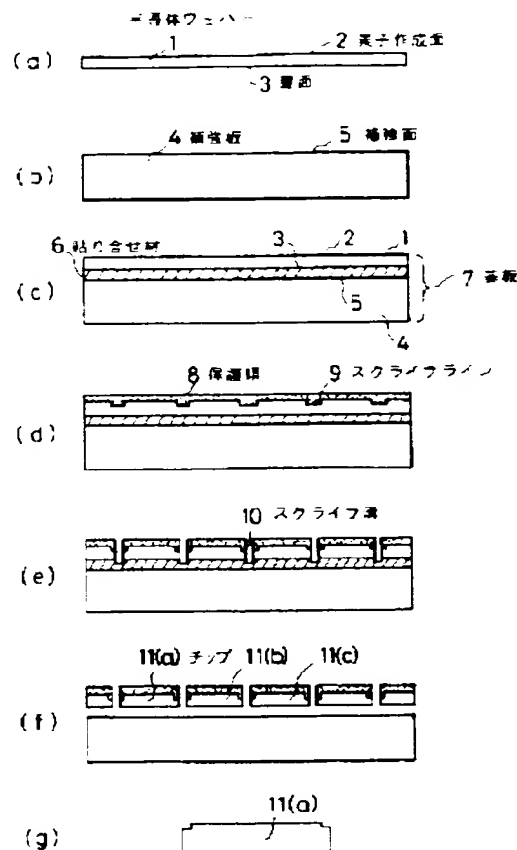
APPLICATION DATE : 15-07-91
APPLICATION NUMBER : 03173788

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : TOMINAGA YUKIHIRO;

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF
SEMICONDUCTOR ELEMENT



ABSTRACT : PURPOSE: To unnecessitate a wafer grinding process and improve the strength of a wafer and a chip by forming a protective film on the wafer surface, performing scribing deep into the laminate material with a dicing blade, and dividing a chip by etching the laminate material.

CONSTITUTION: An element forming surface 2 is made a surface, and the rear 3 and a reinforcing surface 5 are laminated by using lamination material 6, e.g. a BSG film easy to be etched. By using a substrate 7 formed in the above manner, an element forming treatment is performed, and the whole part of the element forming surface 2 is coated with an acid resistant protecting film 8, e.g. polyimide. Scribing depth takes a value larger than the thickness of the laminate material 8, which is etched and eliminated in etching liquid, e.g. HF liquid. Thereby a chip is divided into 11(a), 11(b), 11(c)...., and the chip rear also can be a structure free from a crushed layer caused by grinding.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21597

(43) 公開日 平成5年(1993)1月29日

(51) Int. Cl.⁵

H 0 1 L 21:78

識別記号

庁内整理番号

F 1

技術表示箇所

L 8617-4M

S 8617-4M

審査請求 未請求 請求項の数 3 (全 6 頁)

(21) 出願番号

特願平3-173788

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22) 出願日

平成3年(1991)7月15日

(72) 発明者 富永 之廣

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

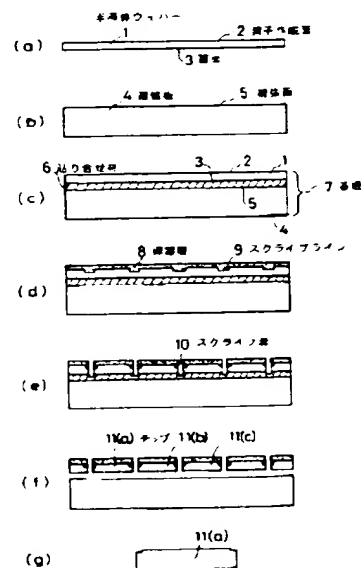
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【目的】 本発明は、半導体ウェハの薄形化や大口径化にともない相対的にウェハ強度が低下するとともに、研削工程により破砕層が発生し、ウェハ搬送時等において発生するウェハ割れや、スクライプ工程におけるチップ欠け、さらにチップ強度が低いという問題点を、ウェハ研削工程を無くすことにより、ウェハおよびチップ強度を向上させるものである。

【構成】 前述の目的のためこの発明は、半導体素子の製造方法において、半導体ウェハを容易にエッチングできる素材を用いて貼り合せた後、半導体素子形成工程を処理するとともに、ダイスクライプ工程においては、ウェハ表面に保護膜を形成したのち、ダイシングブレードで貼り合せ材までスクライプし、その後、貼り合せ材をエッチングすることにより、チップ分割出来るようにしたものである。



本発明の製造工程の一例

【特許請求の範囲】

【請求項1】 半導体素子形成工程の前に、半導体ウェハに易エッチング材を用いて補強板を貼り合せ、素子形成工程後のスクライプ工程で、少なくとも前記貼り合せ部分までスクライプし、前記貼り合せ材をエッチング除去することにより、チップ分離を行うことを特徴とする半導体素子の製造方法。

【請求項2】 請求項1記載のスクライプ工程の前に、素子形成面を耐エッチング材でコーティングすることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】 請求項1記載のスクライプ工程の前に、素子形成面をレジストでコーティングし、スクライプライン部の該レジストを除去しておくことを特徴とする請求項1記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体ウェハをチップに分離するまで強度低下を生じさせない方法に関するもので、特にそのウェハが薄くても支障なく分離できる方法を提供するものである。

【0002】

【従来の技術】 図3(a)～(d)は、従来の半導体素子のウェハプロセス完了後から、チップ分離するまでの工程を示したものである。図3(a)はウェハプロセス完了後を示したものであり、31は半導体ウェハで一般的に6"φウェハで625μm、8"φウェハで725μmの厚さを有している。

【0003】 しかしこのようなウェハ厚は、チップ実装仕様に不適当であり半導体ウェハ31の裏面は、200～450μmの実装仕様に適した厚さに研削されている。この研削工程において、デバイス面32を保護するため、保護テープ33が接着用糊で接着される。この状態において図3(b)に示すように、半導体ウェハ31は実装仕様の厚さ200～450μmに研削される。この研削工程は一般的には機械的に研削されるため、半導体ウェハ31は、研削面である裏面に破砕層34を発生させてしまう。その後表面保護テープ33を剥離し、電気的特性判定が行なわれ、組立工程に搬送される。そして、図3(c)に示すように、チップ分割を行なうため、半導体ウェハ31の裏面にダイシングテープ35を接着させ、スクライプライン36に沿ってダイヤモンドブレードでスクライプされる。37は、この時のスクライプ溝であり、38(a)、38(b)…は分離されたチップである。図3(d)は分離された1つのチップ38(a)を示したものであるが研削工程における破砕層34はそのままの形として残っている。

【0004】

【発明が解決しようとする課題】 しかしながら、実装仕様において、200～450μmに薄く研削されたウェハにおいては、厚さ的に強度が低下するとともに、研削

時における破砕層を有しているため、電気特性測定工程やウェハ搬送工程、さらには、ダイシングテープ接着工程において、ウェハ割れが発生するという問題点があった。さらに、スクライプ時において、ウェハ裏面の破砕層の切り抜き部分では、大きなクラックやチップの欠けが発生するとともに、チップ分離後においてもチップ裏面に破砕層を有しているため、チップの強度が弱く、ICガード用のチップなどにおいては、大きな不良要因となっていた。

10 【0005】 この発明は以上述べた、ウェハの薄形化や大口径化にともない、相対的にウェハ強度が低下するとともに、研削工程により破砕層が発生し、ウェハ搬送時等において発生するウェハ割れや、スクライプ工程におけるチップ欠け、さらにチップ強度が低いという問題点を、ウェハ研削工程を無視することにより、ウェハ、およびチップ強度を向上させたものである。

【0006】

【課題を解決するための手段】 前述の目的のためこの発明は、半導体素子の製造方法において、半導体ウェハを容易にエッチングできる素材を用いて貼り合せた後、半導体素子形成工程を処理するとともに、ダイスクライプ工程においては、ウェハ表面に保護膜を形成したのち、ダイシングブレードで貼り合せ材までスクライプし、その後、貼り合せ材をエッチングすることにより、チップ分割出来るようにしたものである。

【0007】

【作用】 前述のように、この発明によれば、実装仕様で必要となるチップ厚の設定を、ウェハ貼り合せ技術を用い、易エッチング材で貼り合せ、スクライプ工程でこの貼り合せ材までスクライプし、その後貼り合せ材をエッチング除去し、チップに分離する方法としたので、裏面研削による破砕層が半導体ウェハに発生しないし、また、スクライプによるチップ分離工程まで補強板をセットした状態で搬送できるため、裏面研削工程が除去出来る。

【0008】

【実施例】 図1は、この発明の第1の実施例の工程断面図であって、図1(a)はデバイスを作製する半導体ウェハ1を示したものであり、ウェハ厚は、実装の仕様により任意の厚さ、たとえば200～150μmに設定されており、素子作成面2および裏面3とも、ミラーポリッシュにより仕上げされている。図1(b)は半導体ウェハ1を機械的に補強する補強板4であり、半導体ウェハと同一素材もしくはほぼ同等の熱膨張率と、より高い融点を有し、貼り合せ材のエッチング材に対して、耐性のある素材であり、厚さは、200～1000μmのウェハ処理工程でも充分に機械的強度を確保できる厚さに設定するとともに、補強面5はミラーポリッシュ仕上げとする。図1(c)は公知のウェハ貼り合せ技術を用いて、貼り合せた状態を示したものであり、素子

3

形成面2を表面として、裏面3と補強面5とを易エッチングの貼り合せ材6、たとえばBPSG膜で貼り合わせる。この様に形成した基板7を用いて、従来と同様のプロセスで素子形成処理を行ない、電気特性測定のプロベリング工程まで行なう。その後図1(d)に示すように耐酸性の保護膜8、例えばポリイミドを素子形成面2に全面コートする。又9はチップ分離用のスクライブラインであり、このスクライブライン9に比べて30～50 μ m幅のダイヤモンドブレードでスクライプした状態を示したのが、図1(e)であり、10はスクライプ溝で、スクライプ深さは、貼り合せ材8よりも深い値とする。その後貼り合せ材エッチング液、例えば貼り合せ材がBPSGの場合、HF液中で、貼り合せ材をエッチング除去する。これを示したのが図1(f)であり、チップは、11(a)・11(b)・11(c)・・・に分離される。この分離された1つのチップ11(a)状態を示したものが図1(g)でありチップ裏面12も研削による破砕屑のない構造とすることが出来る。

【0009】第1の実施例においては、表面保護膜をたとえばポリイミド膜とし、チップスクライプ工程においてダイヤモンドホイールでポリイミド膜を通して半導体ウェハを貼り合せ材までスクライプを行なっていた。しかし、この方法においては、ポリイミド膜も同時にスクライプしているのでダイヤモンドホイールの目詰まりが起きやすいという問題点がある。そこで第2の実施例の工程断面図を図2(a)～(b)に示すが、素子形成面をレジストでコーティングし、ホトリソグラフィ処理を行ないスクライブライン部のレジストを除去した後に、スクライプ処理を行なうようにしたものである。図2(a)において、7は基板、8は貼り合せ材、また素子形成面2は、スクライブラインのパターン9がある。この素子形成面2にレジスト12を1～3 μ mコーティングし、スクライブライン部9のレジストをホトリソグラフィ技術でパターニングしたものである。この状態でス

4

スクライブライン9を貼り合せ材8までスクライプ処理したものが図2(b)である。その後第1の実施例と同様に貼り合せ材をエッチング除去することにより各々のチップに分離することが出来る。

【0010】

【発明の効果】以上のように、この発明によれば、実装仕様で必要となるチップ厚の設定を、ウェハ貼り合せ技術を用い、易エッチング材で貼り合せ、スクライプ工程でこの貼り合せ材までスクライプし、その後貼り合せ材をエッチング除去し、チップに分離する方法としたので裏面研削による破砕屑が半導体ウェハに発生せずスクライプによるチップの欠けや、チップ強度が向上しないという問題点が解決出来るとともに、スクライプによるチップ分離工程まで補強板をセットした状態で搬送できるため、裏面研削工程が除去出来るとともに、ウェハの大型化にともなうウェハの相対的強度低下によるウェハの割れの発生を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の工程断面図

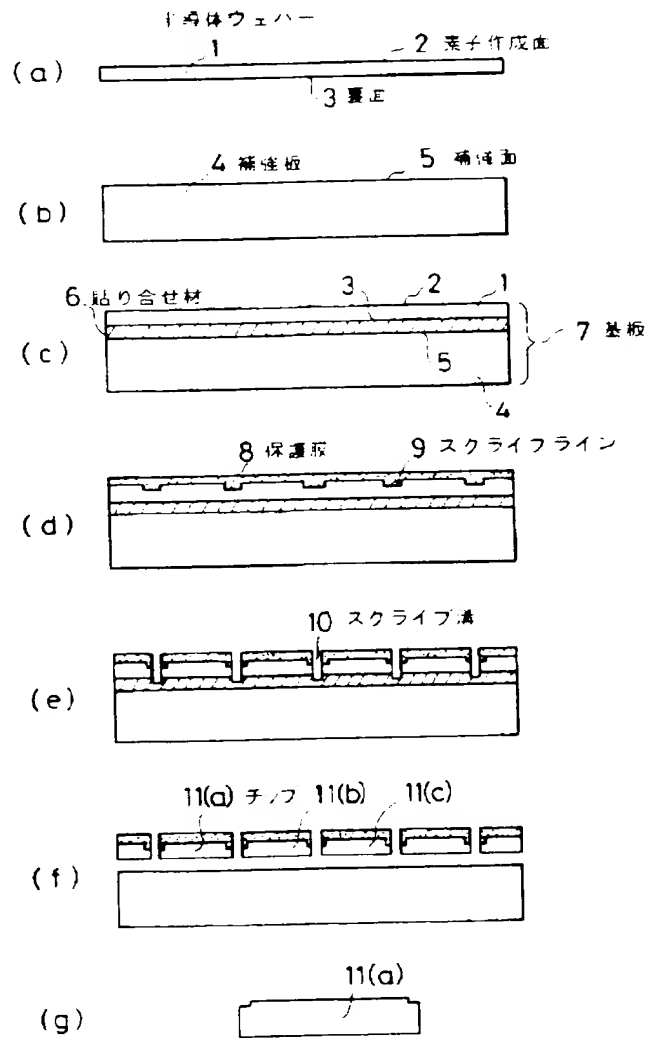
【図2】本発明の第2の実施例の工程断面図

【図3】従来例の工程断面図

【符号の説明】

- 1 半導体ウェハ
- 2 素子作成面
- 3 裏面
- 4 補強板
- 5 補強面
- 6 貼り合せ材
- 7 基板
- 8 保護膜
- 9 スクライブライン
- 10 スクライプ溝
- 11 チップ
- 12 レジスト

【図1】

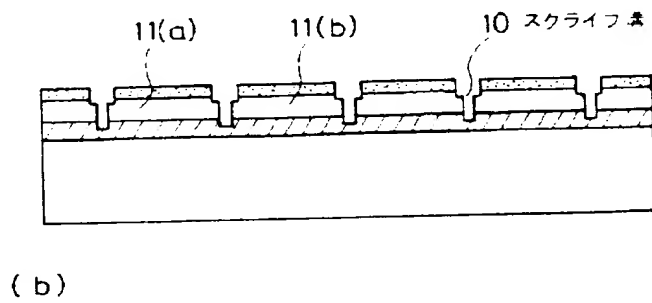
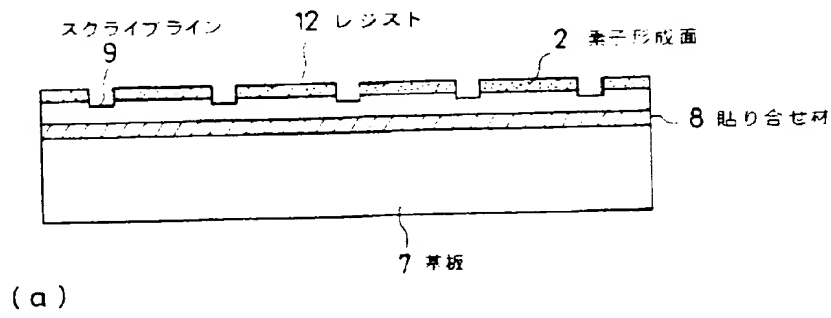


本発明第1の実施例の上程断面図

(5)

特開平5-21597

【図2】

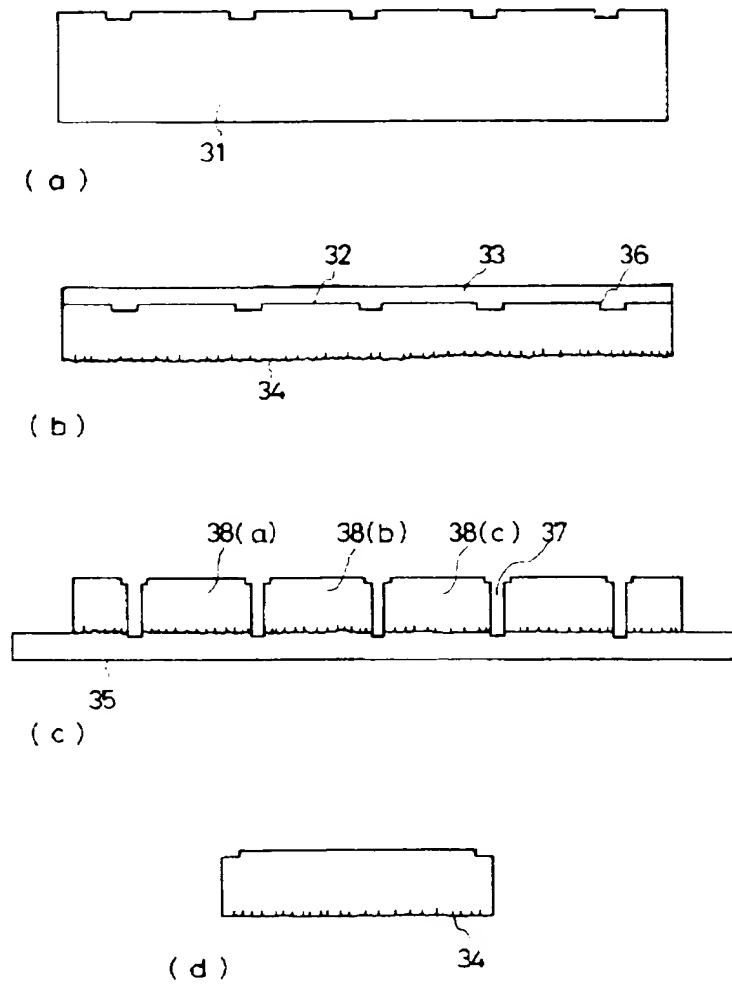


本発明の第2の実施例の工程断面図

(6)

特開平5-21597

【図3】



従来例の工程断面図